

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1040 U.S. PTO
10/046754
01/17/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 4月18日

出 願 番 号
Application Number:

特願2001-119439

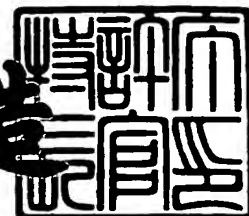
出 願 人
Applicant(s):

富士通株式会社

2001年 8月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3080071

【書類名】 特許願

【整理番号】 0140205

【提出日】 平成13年 4月18日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/406

【発明の名称】 半導体記憶装置

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 奥田 正樹

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100092152

【弁理士】

【氏名又は名称】 服部 毅巖

【電話番号】 0426-45-6644

【手数料の表示】

【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705176

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 データの読み出し動作と、リフレッシュ動作とを同時に実行可能な半導体記憶装置において、

外部からデータの入力を受けるデータ入力手段と、

前記データ入力手段から入力されたデータからパリティを生成するパリティ生成手段と、

前記データ入力手段から入力されたデータと、前記パリティ生成手段によって生成されたパリティとを記憶する記憶手段と、

前記記憶手段をリフレッシュするリフレッシュ手段と、

前記記憶手段からデータを読み出す読み出し手段と、

前記読み出し手段がデータを読み出す最中に前記リフレッシュ手段がリフレッシュの対象としているデータを、正常に読み出された他のデータと、対応するパリティとから復元する復元手段と、

前記読み出し手段によって読み出されたデータと、前記復元手段によって復元されたデータとを出力するデータ出力手段と、

前記記憶手段に記憶されているパリティを直接読み出して出力するパリティ出力手段と、

を有することを特徴とする半導体記憶装置。

【請求項 2】 前記パリティ出力手段は、前記データ出力手段がデータを出力する端子と同一の端子を介してパリティを出力することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 データの読み出し動作と、リフレッシュ動作とを同時に実行可能な半導体記憶装置において、

外部からデータの入力を受けるデータ入力手段と、

前記データ入力手段から入力されたデータからパリティを生成するパリティ生成手段と、

前記データ入力手段から入力されたデータと、前記パリティ生成手段によって

生成されたパリティとを記憶する記憶手段と、

前記記憶手段をリフレッシュするリフレッシュ手段と、

前記記憶手段からデータを読み出す読み出し手段と、

前記読み出し手段がデータを読み出す最中に前記リフレッシュ手段がリフレッシュの対象としているデータを、正常に読み出された他のデータと、対応するパリティとから復元する復元手段と、

前記読み出し手段によって読み出されたデータと、前記復元手段によって復元されたデータとを出力するデータ出力手段と、

前記記憶手段の前記パリティが記憶される領域に対して外部から供給された所望のデータを直接書き込む書き込み手段と、

を有することを特徴とする半導体記憶装置。

【請求項 4】 前記書き込み手段は、前記データ入力手段がデータを入力する端子と同一の端子を介して前記所望のデータを入力することを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】 前記記憶手段に記憶されている前記パリティを読み出して直接出力するパリティ出力手段を更に有することを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 6】 データの読み出し動作と、リフレッシュ動作とを同時に実行可能な半導体記憶装置において、

外部からデータの入力を受けるデータ入力手段と、

前記データ入力手段から入力されたデータからパリティを生成するパリティ生成手段と、

前記データ入力手段から入力されたデータと、前記パリティ生成手段によって生成されたパリティとを記憶する記憶手段と、

前記記憶手段をリフレッシュするリフレッシュ手段と、

前記記憶手段からデータを読み出す読み出し手段と、

前記読み出し手段がデータを読み出す最中に前記リフレッシュ手段がリフレッシュの対象としているデータを、正常に読み出された他のデータと、対応するパリティとから復元する復元手段と、

前記読み出し手段によって読み出されたデータと、前記復元手段によって復元されたデータとを出力するデータ出力手段と、

外部からの要求に応じた所定の領域がリフレッシュの対象となるように前記リフレッシュ手段を制御する制御手段と、

を有することを特徴とする半導体記憶装置。

【請求項 7】 前記制御手段は、前記記憶手段の全ての領域に対するリフレッシュ動作を停止させ、

前記データ出力手段は、パリティによる復元がなされていないデータを出力する、

ことを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】 前記制御手段は、外部から指定された所定の領域がリフレッシュの対象となるように前記リフレッシュ手段を制御し、

前記データ出力手段は、所定の領域がリフレッシュの対象とされ、その領域に係るデータがパリティによって復元されて得られたデータを出力する、

ことを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 9】 前記記憶手段のパリティが記憶される領域に対して外部から供給された所望のデータを直接書き込む書き込み手段を更に有し、

前記制御手段は、外部から指定された所定の領域がリフレッシュの対象となるように前記リフレッシュ手段を制御することを特徴とする請求項 6 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置に関し、特に、データの読み出し動作と、リフレッシュ動作とを同時に実行可能な半導体記憶装置に関する。

【0002】

【従来の技術】

いわゆる DRAM (Dynamic Random Access Memory) は、メモリセルをリフレッシュする必要があるため、従来においては、外部からのアクセスを一旦停止し

、リフレッシュを行っていた。

【0003】

しかしながら、外部からのアクセスを一旦停止すると、その分だけアクセスに対する応答時間が延長されてしまうため、高速なアクセスを要求される場合には不利になってしまう。

【0004】

そこで、本出願人は、リフレッシュ中においても外部からアクセスが可能となる半導体記憶装置（以下、既出願に係る半導体記憶装置と称す）を提案している。

【0005】

図11は、既出願に係る半導体記憶装置の動作原理を示す図である。この図に示すように、既出願に係る半導体記憶装置は、16個のサブブロックからなるメモリアレイと、4個のサブブロックからなるパリティアレイとから構成されている。

【0006】

ここで、各サブブロックは、メモリセルがマトリクス状に配置されてなるセルアレイ、S/A（Sense Amplifier）、および、デコーダによって構成されている。

【0007】

また、メモリアレイを構成するサブブロックは通常のデータを、パリティアレイを構成するサブブロックはパリティを格納している。

図12は、メモリアレイからのデータの読み出し動作を説明する図である。この図に示すように、データを読み出す際には、行方向に連続するサブブロック（塗りつぶされているサブブロック）を対象としてデータD1～D4を読み出す。

【0008】

図13は、リフレッシュ動作について説明する図である。このように、既出願に係る半導体記憶装置では、サブブロックを1個ずつ順番にリフレッシュする。この図の例では、ハッチングが施されているサブブロック2-3がリフレッシュの対象となっている。なお、具体的な動作例としては、例えば、サブブロックを

1 行ずつ左側から右側へリフレッシュし、1 行に含まれる全てのサブブロックのリフレッシュが終了した場合には次の行のリフレッシュを実行する、といった具合である。

【0 0 0 9】

図 1 4 は、リフレッシュ動作と、データの読み出し動作を並行して実行する場合において、リフレッシュするサブブロックとデータの読み出し対象となるサブブロックとが重複した場合の動作を示す図である。

【0 0 1 0】

この図の例では、メモリアレイのサブブロック 2-1 ~ 2-4 がデータの読み出し対象となっており、また、サブブロック 2-3 が、リフレッシュの対象になっている。

【0 0 1 1】

このような場合には、サブブロック 2-3 からはデータを読み出すことができないので、既出願に係る半導体記憶装置では、サブブロック 2-1, 2-2, 2-4 から出力されるデータと、サブブロック 2 P から読み出されたパリティとをデータ復元回路 2 0 0 に供給し、これらからサブブロック 2-3 のデータを復元するように構成していた。

【0 0 1 2】

図 1 5 は、既出願に係る半導体記憶装置の更に詳細な構成例を示す図である。

この図に示すように、既出願に係る半導体記憶装置は、XOR 回路 1 0、パリティセル 1 1、DQ 0 セル 1 2 ~ DQ 3 セル 1 5、XOR 回路 1 6、リフレッシュ信号発生回路 1 7、セクタ 1 8 ~ 2 1 によって構成されている。

【0 0 1 3】

ここで、XOR 回路 1 0 は、入力されたデータ DQ 0 ~ DQ 3 の排他的論理和を演算し、得られた結果をパリティとしてパリティセル 1 1 に書き込む。

DQ 0 セル 1 2 ~ DQ 3 セル 1 5 は、入力されたデータを記憶するとともに、読み出し要求に応じて読み出したデータを後段のセクタ 1 8 ~ 2 1 に供給する。

【0 0 1 4】

リフレッシュ信号発生回路 1 7 は、D Q 0 セル 1 2 ～ D Q 3 セル 1 5 をリフレッシュするためのリフレッシュ信号を発生し、セクタ 1 8 ～ 2 1 に供給する。この例では、D Q 0 セル 1 2 にハッチングが施されており、このセルがリフレッシュ中であるので、リフレッシュ信号発生回路 1 7 から出力される信号は、セクタ 1 8 に対する出力のみが“H”の状態であり、その他は“L”の状態になっている。

【 0 0 1 5 】

セクタ 1 8 ～ 2 1 は、X O R 回路 1 6 の出力と、リフレッシュ信号発生回路 1 7 の出力とがともに“H”の状態である場合には、D Q 0 セル 1 2 ～ D Q 3 セル 1 5 からの出力を反転した信号を選択して出力し、それ以外の場合には D Q 0 セル 1 2 ～ D Q 3 セル 1 5 からの出力をそのまま出力する。

【 0 0 1 6 】

図 1 6 は、セクタ 1 8 ～ 2 1 の詳細な構成例を示す図である。

この図に示すように、セクタは、N A N D 素子 3 0、インバータ 3 1、3 2、および、トランスファ— 3 3、3 4 によって構成されている。

【 0 0 1 7 】

N A N D 素子 3 0 は、リフレッシュ信号発生回路 1 7 の出力信号（以下、リフレッシュ信号と称す）と X O R 回路 1 6 の出力信号（以下、X O R 信号と称す）との論理積を反転した結果を、インバータ 3 1 とトランスファ— 3 3 の反転入力端子と、トランスファ— 3 4 の非反転入力端子とに供給する。

【 0 0 1 8 】

インバータ 3 1 は、N A N D 素子 3 0 の出力を反転した結果をトランスファ— 3 3 の非反転入力端子と、トランスファ— 3 4 の反転入力端子に供給する。

インバータ 3 2 は、対応するセル（D Q 0 セル 1 2 ～ D Q 3 セル 1 5 の何れか）の出力を反転した結果をトランスファ— 3 3 に供給する。

【 0 0 1 9 】

トランスファ— 3 3 は、N A N D 素子 3 0 の出力が“L”の状態である場合には、インバータ 3 2 からの信号を出力する。

トランスファ— 3 4 は、N A N D 素子 3 0 の出力が“H”の状態である場合に

は、セルデータをそのまま出力する。

【0020】

次に、以上に示す既出願に係る半導体記憶装置の動作について説明する。

入力データDQ0～DQ3が入力されると、XOR回路10は、これらの排他的論理和を演算し、パリティセル11に供給する。パリティセル11は、XOR回路10からの出力をパリティとして格納する。

【0021】

また、DQ0セル12～DQ3セル15は、入力データDQ0～DQ3をそれぞれ記憶する。なお、この例では、DQ0～DQ3は全て“1”であるので、DQ0セル12～DQ3セル15にはそれぞれ“1”が格納され、また、パリティセル11にはDQ0～DQ3の全ての排他的論理和である“0”が格納される。

【0022】

このような状態において、データの読み出しが要求された場合には、DQ0セル12～DQ3セル15と、パリティセル11から該当するデータが読み出されることになる。このとき、DQ0セル12がリフレッシュの対象になっていたとすると、このセルからはデータを正常に読み出すことができないので、読み出されたデータは不定(?)となる。

【0023】

XOR回路16は、DQ0セル12～DQ3セル15から読み出されたデータと、パリティセル11から読み出されたパリティとの排他的論理和を演算し、セレクタ18～21にXOR信号として供給する。このXOR信号は、DQ0セル12～DQ3セル15に書き込まれたデータと、読み出されたデータとが一致しない場合には“H”の状態になり、それ以外の場合には“L”の状態になる。即ち、XOR信号が“H”である場合にはエラーが発生していることを示す。

【0024】

いまの例では、DQ0が不定であり、このデータが“1”であるならば、書き込まれたデータと読み出されたデータは全て一致するため、XOR信号は“L”になり、一方、このデータが“0”であるならば、書き込まれたデータと読み出されたデータとが一致しないためXOR信号は“H”になる。

【0025】

XOR信号が“H”の状態の場合を考えると、リフレッシュ信号発生回路17からセクタ18へ供給される信号は“H”の状態であるので、NAND素子30の出力は“L”の状態になる。その結果、トランスファ-33が“ON”の状態になるため、入力されたDQ0である“0”が反転された“1”が出力されることになる。この“1”は入力されたDQ0と同一であるので、データが正常に復元されたことになる。

【0026】

一方、DQ0セル12の出力が“1”である場合には、XOR信号は“L”の状態になるので、NAND素子30の出力は“H”の状態になる。その結果、トランスファ-34が“ON”の状態になるので、DQ0がそのまま出力されることになる。

【0027】

なお、セクタ19～21は、リフレッシュ信号発生回路17の出力信号が“L”であるため、それぞれのセクタのNAND素子30の出力が“H”となり、トランスファ-34が“ON”の状態になるので、DQ1セル13～DQ3セル15から読み出されたデータは、そのまま出力されることになる。

【0028】

以上に説明したように既出願に係る半導体記憶装置によれば、リフレッシュ動作と読み出し動作が同時に行われた場合であっても、パリティセル11に格納されたデータと、その他のデータとからリフレッシュ中のセルに格納されているデータを復元するようにしたので、読み出し動作とリフレッシュ動作を並行して実行することが可能になり、その結果、アクセススピードを向上させることが可能になる。

【0029】

【発明が解決しようとする課題】

ところで、以上に説明した既出願に係る半導体記憶装置の場合、パリティセル11に格納されているパリティを直接読み書きすることができなかったため、パリティセル11およびそれに付随する機能（データの復元機能）が正常であるか

否かを判定することが困難であるという問題点があった。

【0030】

また、DQ0セル12～DQ3セル15に格納されたデータを読み出す際には、リフレッシュの状況に応じてパリティによる復元処理が施されるので、格納されたデータを直接読み出すことができず、動作チェックが困難であるという問題点もあった。

【0031】

本発明はこのような点に鑑みてなされたものであり、データの読み出し動作と、リフレッシュ動作とを同時に実行可能な半導体記憶装置であって、動作チェックを容易に行うことができる半導体記憶装置を提供することを目的とする。

【0032】

【課題を解決するための手段】

本発明では上記課題を解決するために、図1に示す、データの読み出し動作と、リフレッシュ動作とを同時に実行可能な半導体記憶装置において、外部からデータの入力を受けるデータ入力手段1と、データ入力手段1から入力されたデータからパリティを生成するパリティ生成手段2と、データ入力手段1から入力されたデータと、パリティ生成手段2によって生成されたパリティとを記憶する記憶手段3と、記憶手段3をリフレッシュするリフレッシュ手段4と、記憶手段3からデータを読み出す読み出し手段5と、読み出し手段5がデータを読み出す最中にリフレッシュ手段4がリフレッシュの対象としているデータを、正常に読み出された他のデータと、対応するパリティとから復元する復元手段6と、読み出し手段5によって読み出されたデータと、復元手段6によって復元されたデータとを出力するデータ出力手段7と、記憶手段3に記憶されているパリティを直接読み出して出力するパリティ出力手段8と、を有することを特徴とする半導体記憶装置が提供される。

【0033】

ここで、データ入力手段1は、外部からデータの入力を受ける。パリティ生成手段2は、データ入力手段1から入力されたデータからパリティを生成する。記憶手段3は、データ入力手段1から入力されたデータと、パリティ生成手段2に

よって生成されたパリティとを記憶する。リフレッシュ手段4は、記憶手段3をリフレッシュする。読み出し手段5は、記憶手段3からデータを読み出す。復元手段6は、読み出し手段5がデータを読み出す最中にリフレッシュ手段4がリフレッシュの対象としているデータを、正常に読み出された他のデータと、対応するパリティとから復元する。データ出力手段7は、読み出し手段5によって読み出されたデータと、復元手段6によって復元されたデータとを出力する。パリティ出力手段8は、記憶手段3に記憶されているパリティを直接読み出して出力する。

【0034】

また、データの読み出し動作と、リフレッシュ動作とを同時に実行可能な半導体記憶装置において、外部からデータの入力を受けるデータ入力手段と、データ入力手段から入力されたデータからパリティを生成するパリティ生成手段と、データ入力手段から入力されたデータと、パリティ生成手段によって生成されたパリティとを記憶する記憶手段と、記憶手段をリフレッシュするリフレッシュ手段と、記憶手段からデータを読み出す読み出し手段と、読み出し手段がデータを読み出す最中にリフレッシュ手段がリフレッシュの対象としているデータを、正常に読み出された他のデータと、対応するパリティとから復元する復元手段と、読み出し手段によって読み出されたデータと、復元手段によって復元されたデータとを出力するデータ出力手段と、記憶手段のパリティが記憶される領域に対して外部から供給された所望のデータを直接書き込む書き込み手段と、を有することを特徴とする半導体記憶装置が提供される。

【0035】

ここで、データ入力手段は、外部からデータの入力を受ける。パリティ生成手段は、データ入力手段から入力されたデータからパリティを生成する。記憶手段は、データ入力手段から入力されたデータと、パリティ生成手段によって生成されたパリティとを記憶する。リフレッシュ手段は、記憶手段をリフレッシュする。読み出し手段は、記憶手段からデータを読み出す。復元手段は、読み出し手段がデータを読み出す最中にリフレッシュ手段がリフレッシュの対象としているデータを、正常に読み出された他のデータと、対応するパリティとから復元する。

データ出力手段は、読み出し手段によって読み出されたデータと、復元手段によって復元されたデータとを出力する。書き込み手段は、記憶手段のパリティが記憶される領域に対して外部から供給された所望のデータを直接書き込む。

【 0 0 3 6 】

また、データの読み出し動作と、リフレッシュ動作とを同時に実行可能な半導体記憶装置において、外部からデータの入力を受けるデータ入力手段と、データ入力手段から入力されたデータからパリティを生成するパリティ生成手段と、データ入力手段から入力されたデータと、パリティ生成手段によって生成されたパリティとを記憶する記憶手段と、記憶手段をリフレッシュするリフレッシュ手段と、記憶手段からデータを読み出す読み出し手段と、読み出し手段がデータを読み出す最中にリフレッシュ手段がリフレッシュの対象としているデータを、正常に読み出された他のデータと、対応するパリティとから復元する復元手段と、読み出し手段によって読み出されたデータと、復元手段によって復元されたデータとを出力するデータ出力手段と、外部からの要求に応じた所定の領域がリフレッシュの対象となるようにリフレッシュ手段を制御する制御手段と、を有することを特徴とする半導体記憶装置が提供される。

【 0 0 3 7 】

ここで、データ入力手段は、外部からデータの入力を受ける。パリティ生成手段は、データ入力手段から入力されたデータからパリティを生成する。記憶手段は、データ入力手段から入力されたデータと、パリティ生成手段によって生成されたパリティとを記憶する。リフレッシュ手段は、記憶手段をリフレッシュする。読み出し手段は、記憶手段からデータを読み出す。復元手段は、読み出し手段がデータを読み出す最中にリフレッシュ手段がリフレッシュの対象としているデータを、正常に読み出された他のデータと、対応するパリティとから復元する。データ出力手段は、読み出し手段によって読み出されたデータと、復元手段によって復元されたデータとを出力する。制御手段は、外部からの要求に応じた所定の領域がリフレッシュの対象となるようにリフレッシュ手段を制御する。

【 0 0 3 8 】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

図1は、本発明の動作原理を説明する原理図である。この図において、

データ入力手段1は、外部からデータの入力を受ける。

【0039】

パリティ生成手段2は、データ入力手段1から入力されたデータからパリティを生成する。

記憶手段3は、データ入力手段1から入力されたデータと、パリティ生成手段2によって生成されたパリティとを記憶する。

【0040】

リフレッシュ手段4は、記憶手段3をリフレッシュする。

読み出し手段5は、記憶手段3からデータを読み出す。

復元手段6は、読み出し手段5がデータを読み出す最中に、リフレッシュ手段4がリフレッシュの対象としている領域からのデータを、正常に読み出された他のデータと、対応するパリティとから復元する。

【0041】

データ出力手段7は、読み出し手段5によって読み出されたデータと、復元手段6によって復元されたデータとを出力する。

パリティ出力手段8は、記憶手段3に記憶されているパリティを直接読み出して出力する。

【0042】

次に、以上の原理図の動作について説明する。

データ入力手段1は、半導体記憶装置の外部から、書き込もうとするデータの入力を受け、記憶手段3とパリティ生成手段2とにそれぞれ供給する。

【0043】

パリティ生成手段2は、入力されたデータの全ての排他的論理和を演算し、パリティとして出力する。

記憶手段3は、データ入力手段1から入力されたデータと、パリティ生成手段2から供給されたパリティとをそれぞれ異なる領域に格納する。

【0044】

リフレッシュ手段 4 は、記憶手段 3 を所定の周期でリフレッシュし、記憶されているデータが喪失されるのを防止する。

読み出し手段 5 は、外部から与えられた読み出し要求に応じて、記憶手段 3 の所定の領域に格納されているデータを読み出し、復元手段 6 に供給する。

【 0 0 4 5 】

復元手段 6 は、記憶手段 3 からデータを読み出す際に、リフレッシュ手段 4 がリフレッシュの対象としている領域のデータについては、正常に読み出された他のデータと、パリティとの排他的論理和を演算することにより、書き込まれたデータと、読み出されたデータとが一致しているか否かを判定し、一致していない場合にはリフレッシュ中のデータの論理を反転することにより復元して出力する。

【 0 0 4 6 】

データ出力手段 7 は、復元されたデータと、他の正常なデータとを外部に出力する。

パリティ出力手段 8 は、外部から要求がなされた場合には、記憶手段 3 に記憶されているパリティを、直接読み出して外部に出力する。

【 0 0 4 7 】

以上のような動作により、記憶手段 3 に記憶されているパリティを直接読み出すことが可能になるので、データ入力手段 1 に対して与えるデータと、読み出されたパリティとの関係から、パリティデータが正常に生成されているか否かをチェックすることが可能になる。

【 0 0 4 8 】

次に、本発明の実施の形態について説明する。

図 2 は、本発明の第 1 の実施の形態の構成例を示す図である。

この図に示すように、本実施の形態の半導体記憶装置は、XOR 回路 10、パリティセル 11、DQ0 セル 12～DQ3 セル 15、XOR 回路 16、リフレッシュ信号発生回路 17、セクタ 25、19～21 によって構成されている。なお、図 15 に示す既出願に係る半導体記憶装置との比較では、セクタ 18 がセクタ 25 に置換されている。その他の構成は図 15 の場合と同様である。

【 0 0 4 9 】

ここで、XOR回路10は、入力されたデータDQ0～DQ3の排他的論理和を演算し、パリティセル11にパリティとして書き込む。

DQ0セル12～DQ3セル15は、入力されたデータを記憶するとともに、読み出し要求に応じてデータを読み出し、後段のセクタ25, 19～21にそれぞれ供給する。

【 0 0 5 0 】

リフレッシュ信号発生回路17は、リフレッシュ信号を発生して、DQ0セル12～DQ3セル15に供給するとともに、セクタ25, 19～21に供給する。この例では、DQ0セル12にハッチングが施されており、このセルがリフレッシュ中である。即ち、リフレッシュ信号発生回路17から出力される信号は、セクタ25に対する信号のみが“H”の状態であり、その他は“L”の状態になっている。

【 0 0 5 1 】

セクタ25は、テスト信号が“H”の状態である場合には、XOR信号およびリフレッシュ信号の状態に拘わらずパリティセル11からのパリティを出力する。また、テスト信号が“L”の状態である場合であって、XOR回路16の出力と、リフレッシュ信号発生回路17の出力とがともに“H”の状態である場合には、DQ0セル12からの出力を反転した信号を選択して出力する。一方、テスト信号が“L”の状態である場合であって、それ以外の場合には、DQ0セル12からの出力をそのまま出力する。

【 0 0 5 2 】

セクタ19～21は、XOR回路16の出力と、リフレッシュ信号発生回路17の出力とがともに“H”の状態である場合には、DQ1セル13～DQ3セル15からの出力を反転した信号を選択して出力し、それ以外の場合にはDQ1セル13～DQ3セル15からの出力をそのまま出力する。

【 0 0 5 3 】

図3は、セクタ25の詳細な構成例を示す図である。

この図に示すように、セクタは、NAND素子30、インバータ31, 32

、 3 7、および、トランスファ－ 3 3 ～ 3 6 によって構成されている。

【 0 0 5 4 】

NAND素子 3 0 は、リフレッシュ信号発生回路 1 7 の出力信号であるリフレッシュ信号と、XOR回路 1 6 の出力信号である XOR 信号との論理積を反転した結果をインバータ 3 1 と、トランスファ－ 3 3 の反転入力端子と、トランスファ－ 3 4 の非反転入力端子に供給する。

【 0 0 5 5 】

インバータ 3 1 は、NAND素子 3 0 の出力を反転した結果をトランスファ－ 3 3 の非反転入力端子と、トランスファ－ 3 4 の反転入力端子に供給する。

インバータ 3 2 は、DQ0セル 1 2 の出力を反転した結果をトランスファ－ 3 3 に供給する。

【 0 0 5 6 】

トランスファ－ 3 3 は、NAND素子 3 0 の出力が“L”の状態である場合には、インバータ 3 2 からの信号を出力する。

トランスファ－ 3 4 は、NAND素子 3 0 の出力が“H”の状態である場合には、トランスファ－ 3 5 の出力、即ち、セルデータをそのまま出力する。

【 0 0 5 7 】

インバータ 3 7 は、テスト信号を反転した結果をトランスファ－ 3 5 の非反転入力端子と、トランスファ－ 3 6 の反転入力端子に供給する。

トランスファ－ 3 5 は、テスト信号が“L”の状態である場合には、セルデータをトランスファ－ 3 4 に供給する。

【 0 0 5 8 】

トランスファ－ 3 6 は、テスト信号が“H”の状態である場合には、パリティをトランスファ－ 3 4 に供給する。

次に、以上の実施の形態の動作について説明する。

【 0 0 5 9 】

入力データ DQ0 ～ DQ3 が入力されると、XOR回路 1 0 は、これらの排他的論理和を演算し、パリティセル 1 1 に供給する。パリティセル 1 1 は、XOR回路 1 0 から供給されたパリティを格納する。

【0060】

また、DQ0セル12～DQ3セル15は、入力データDQ0～DQ3をそれぞれ記憶する。なお、この例では、DQ0～DQ3は全て“1”であるので、DQ0セル12～DQ3セル15にはそれぞれ“1”が格納され、また、パリティセル11にはDQ0～DQ3の全ての排他的論理和である“0”が格納される。

【0061】

このような状態において、データの読み出しが要求された場合には、DQ0セル12～DQ3セル15と、パリティセル11から該当するデータが読み出されることになる。このとき、DQ0セル12がリフレッシュの対象になっていたとすると、このセルからはデータを正常に読み出すことができないので、読み出されたデータは不定(?)となる。

【0062】

XOR回路16は、DQ0セル12～DQ3セル15から読み出されたデータと、パリティセル11から読み出されたパリティとの排他的論理和を演算し、セレクタ25、19～21にXOR信号として供給する。このXOR信号は、DQ0セル12～DQ3セル15に書き込まれたデータと、これらから読み出されたデータとが一致しない場合には“H”の状態になり、それ以外の場合には“L”の状態になる。即ち、XOR信号が“H”である場合には読み出しエラーが発生していることを示す。

【0063】

いまの例では、DQ0が不定であり、このデータが仮に“1”であるならば、書き込まれたデータと読み出されたデータは全て一致するため、XOR信号は“L”になり、このデータが“0”である場合には書き込まれたデータと読み出されたデータとが一致しないためXOR信号は“H”になる。

【0064】

テスト信号が“L”の場合について考えると、トランスファ-35が“ON”の状態になり、トランスファ-36は“OFF”の状態になることから、実質的には図16と同様の回路になる。このとき、XOR信号が“H”の状態（読み出されたデータがエラーである状態）であるとする、リフレッシュ信号発生回路

17からセクタ25へ供給される信号は“H”の状態であるので、NAND素子30の出力は“L”の状態になる。すると、トランスファ－33が“ON”の状態になるため、入力されたDQ0である“0”が反転された“1”が出力されることになる。この“1”は入力されたDQ0と同一であるので、データが正常に復元されたことになる。

【0065】

一方、DQ0セル12の出力が“1”である場合には、XOR信号は“L”の状態になるので、NAND素子30の出力は“H”の状態になり、トランスファ－34が“ON”の状態になるので、DQ0がそのまま出力されることになる。

【0066】

なお、セクタ19～21は、リフレッシュ信号発生回路17の出力信号が“L”であるため、それぞれのセクタのNAND素子30の出力が“H”となり、トランスファ－34が“ON”の状態になるので、DQ1セル13～DQ3セル15から読み出されたデータは、そのまま出力されることになる。

【0067】

次に、テスト信号が“H”の状態である場合について考える。その場合には、トランスファ－36が“ON”の状態になり、一方、トランスファ－35は“OFF”の状態になるので、パリティがトランスファ－34に供給される。

【0068】

トランスファ－34は、DQ0セル12がリフレッシュの対象であって、読み出されたデータが誤っている場合以外は“ON”の状態であるので、トランスファ－34からはパリティが出力されることになる。

【0069】

以上の実施の形態によれば、テスト信号を“H”の状態にすることにより、パリティセル11に格納されているパリティを直接読み出すことが可能になるので、例えば、入力データであるDQ0～DQ3を適宜変更した場合に、パリティが正常に生成されているか否かを判定することが可能になる。

【0070】

また、パリティは、DQ0データが出力される端子（図示せず）から出力され

るので、パリティ出力用の新たな端子を設ける必要がなくなり、端子数を増加せずにチェック機能を具備させることが可能になる。

【0071】

なお、以上の実施の形態において、インバータ37からの出力信号を、NAND素子30の入力端子に供給するようにしてもよい。そのような構成によれば、テスト信号が“H”の状態にされた場合には、リフレッシュおよび読み出された状態に拘わらず、常にパリティを得ることが可能になる。

【0072】

次に、本発明の第2の実施の形態について説明する。

図4は、本発明の第2の実施の形態の構成例を示す図である。なお、この図において、図15の場合と対応する部分には同一の符号を付してあるので、その説明は省略する。

【0073】

第2の実施の形態では、図15の場合と比較して、リフレッシュ信号発生回路17がリフレッシュ信号発生回路26に置換されている。その他の部分は、図15の場合と同様である。

【0074】

リフレッシュ信号発生回路26は、DQ0セル12～DQ3セル15およびセレクタ18～21に対してリフレッシュ信号を生成して供給するとともに、外部から比較停止信号と、パリティチェックテスト信号DQ0～DQ3が供給された場合には、指定されたセルをリフレッシュする。

【0075】

図5は、リフレッシュ信号発生回路26の詳細な構成例を示す図である。この図に示すように、リフレッシュ信号発生回路26は、インバータ50～54、NAND素子55～62によって構成されている。

【0076】

ここで、インバータ50～53は、特定のセルをリフレッシュするために外部から供給されたパリティチェックテスト信号DQ0～DQ3を反転して出力する。

【 0 0 7 7 】

インバータ 5 4 は、内部のリフレッシュ信号を無効にするための比較停止テスト信号を反転して出力する。

NAND 素子 5 5 ～ 5 8 は、比較停止テスト信号と、内部リフレッシュアドレス信号 D Q 0 ～ D Q 3 との論理積を反転した結果を、NAND 素子 5 9 ～ 6 2 に対して出力する。

【 0 0 7 8 】

NAND 素子 5 9 ～ 6 2 は、それぞれインバータ 5 0 ～ 5 3 の出力と NAND 素子 5 5 ～ 5 8 との論理積を反転した結果をリフレッシュ信号 D Q 0 ～ D Q 3 として出力する。

【 0 0 7 9 】

次に、以上の実施の形態の動作について説明する。

まず、D Q 0 セル 1 2 をチェックする場合について考える。その場合には、比較停止テスト信号を“H”の状態にするとともに、パリティチェックテスト信号 D Q 0 を“H”の状態にする。

【 0 0 8 0 】

すると、図 5 に示すインバータ 5 4 の出力は“L”の状態になるため、NAND 素子 5 5 ～ 5 8 の入力端子の一方は全て“L”の状態になり、これらの出力は内部リフレッシュアドレス信号 D Q 0 ～ D Q 3 の状態に拘わらず全て“H”の状態になる。なお、内部リフレッシュアドレス信号 D Q 0 ～ D Q 3 とは内部的に生成されるリフレッシュ信号である。

【 0 0 8 1 】

NAND 素子 5 5 ～ 5 8 の出力が“H”の状態になると、NAND 素子 5 9 ～ 6 2 の入力端子の一方は全て“H”の状態になるので、インバータ 5 0 ～ 5 3 の出力に応じて“H”または“L”が出力されることになる。

【 0 0 8 2 】

いまの例では、パリティチェックテスト信号 D Q 0 のみが“H”の状態であるので、インバータ 5 0 の出力のみが“L”の状態であり、その他は全て“H”の状態となる。

【 0 0 8 3 】

従って、NAND素子59の出力のみが“H”の状態になり、その他の出力は全て“L”の状態になる。その結果、DQ0セル12がリフレッシュの対象となる。

【 0 0 8 4 】

このようにして、リフレッシュの対象となるセルを指定すれば、そのセルに関する復元機能が正常に動作しているか否かを個別的にチェックすることが可能になるので、正常に機能していないセルを繰り返しチェックすることで、出現頻度の低い不良も容易に検出することが可能になる。

【 0 0 8 5 】

次に、本発明の第3の実施の形態について説明する。

図6は、本発明の第3の実施の形態の構成例を示す図である。なお、この図において、図15の場合と対応する部分には同一の符号を付してあるので、その説明は省略する。

【 0 0 8 6 】

第3の実施の形態では、図15の場合と比較して、XOR回路10がXOR回路70に置換されている。その他の部分は、図15の場合と同様である。

XOR回路70は、XOR回路10と同様に、DQ0～DQ3の排他的論理和を演算して算出するとともに、外部から入力されるダイレクト書き込み信号が“H”の状態になった場合には、DQ0信号をパリティセル11に対して直接書き込む。

【 0 0 8 7 】

図7は、XOR回路70の詳細な構成例を示す図である。この図に示すように、XOR回路70は、インバータ80、XOR（排他的論理和）素子81、および、トランスファ－82、83によって構成されている。

【 0 0 8 8 】

インバータ80は、ダイレクト書き込み信号を反転してトランスファ－82の反転入力端子と、トランスファ－83の非反転入力端子に供給する。

XOR素子81は、DQ0～DQ3の排他的論理和を演算し、得られた結果を

トランスファ—83に供給する。

【0089】

トランスファ—82は、ダイレクト書き込み信号が“H”の状態である場合には、DQ0をパリティ信号としてパリティセル11に供給する。

トランスファ—83は、ダイレクト書き込み信号が“L”の状態である場合には、XOR素子81の出力をパリティ信号としてパリティセル11に供給する。

【0090】

次に、以上の実施の形態の動作について説明する。

まず、正常なパリティを書き込む場合について説明する。DQ0～DQ3の全てを“1”として書き込みを行った後、ダイレクト書き込み信号を“H”の状態にし、DQ0として“0”を入力すると、図7に示すトランスファ—82が“ON”の状態になる。その結果、DQ0である“0”がパリティ信号としてパリティセル11に書き込まれることになる。

【0091】

続いて、DQ0セル12がリフレッシュ中である場合に、書き込まれたデータを読み出す場合について考えると、パリティセル11からは“0”が読み出され、DQ1セル13～DQ3セル15からは全て“1”が読み出される。また、DQ0セル12については読み出されるデータは特定されないが、例えば、“0”が読み出されたとすると、これらのデータはXOR回路16とセクタ18～21に供給される。

【0092】

XOR回路16は、パリティおよびDQ0～DQ3の排他的論理和を演算し、演算結果をセクタ18～21に供給する。いまの例では、DQ0は“0”であり、DQ1～DQ3は全て“1”であり、また、パリティは“0”であるので、XOR回路16の出力は“1”となる。

【0093】

リフレッシュ信号発生回路17は、セクタ18に供給するリフレッシュ信号のみを“H”の状態にし、それ以外は全て“L”の状態にするので、セクタ19～21からは、読み出されたそのままのデータ“1”が出力される。

【0094】

一方、セクタ18では、図16に示す回路において、インバータ32によって反転された信号がトランスファー33を介して出力されるので、読み出されたデータである“0”は、最終的にはもとのデータである“1”に復元されて出力されることになる。

【0095】

次に、正常でないパリティを書き込む場合について説明する。DQ0～DQ3の全てを“1”として書き込みを行った後、ダイレクト書き込み信号を供給し、DQ0として“1”を入力すると、図7に示すトランスファー82が“ON”の状態になる。その結果、DQ0である“1”がパリティ信号としてパリティセル11に書き込まれることになる。

【0096】

続いて、DQ0セル12がリフレッシュ中である場合に、書き込まれたデータを読み出す場合について考えると、パリティセル11からは“1”が読み出され、DQ1セル13～DQ3セル15からは全て“1”が読み出される。また、DQ0セル12については読み出されるデータは特定されないが、例えば、“0”が読み出されたとすると、これらのデータはXOR回路16とセクタ18～21に供給される。

【0097】

XOR回路16は、パリティおよびDQ0～DQ3の排他的論理和を演算し、演算結果をセクタ18～21に供給する。いまの例では、DQ0は“0”であり、DQ1～DQ3は全て“1”であり、また、パリティは“1”であるので、XOR回路16の出力は“0”となる。

【0098】

リフレッシュ信号発生回路17は、セクタ18に供給するリフレッシュ信号のみを“H”の状態にし、それ以外は全て“L”の状態にするので、セクタ19～21からは読み出されたそのままのデータ“1”が出力される。

【0099】

一方、セクタ18では、図3に示すNAND素子30の出力は“L”の状態

になるので、DQ0セル12から読み出された“0”がトランスファ—33を介してそのまま出力されることになる。

【0100】

その結果、この場合には、リフレッシュ中のセルのデータのみが反転して出力されることになる。従って、全てのセルから反転したデータが出力されることが確認できれば、全てのセルについての復元機能が正常に動作していることを確認することができる。

【0101】

また、正常なパリティを書き込んだ場合と、正常でないパリティを書き込んだ場合に分けて動作チェックを行うことにより、パリティを変更しないでチェックを行った場合よりもチェックのパターンを増加させることにより、復元機能が正常に動作しているか否かを詳細に検討することが可能になる。

【0102】

次に、以上の実施例を単体で使用的場合または組み合わせた場合におけるチェック方法について説明する。

先ず、第1の実施の形態を単体で使用的場合のチェック動作を説明する。

【0103】

図8は、第1の実施の形態を単体で使用的場合におけるチェック動作の処理の流れを説明するフローチャートである。このフローチャートでは、入力データとしてDQ0～DQ3を通常に与えてパリティを生成させ、パリティセル11に書き込まれているパリティを、直接読み出して検証しようとするものである。このフローチャートが開始されると、以下のステップが実行される。

【0104】

ステップS10：

半導体記憶装置に対して入力データDQ0～DQ3を書き込む。その結果、DQ0セル12～DQ3セル15に対してそれぞれ入力データDQ0～DQ3が書き込まれるとともに、パリティセル11にはXOR回路10から供給されたパリティが書き込まれる。

【0105】

ステップ S 1 1 :

半導体記憶装置のセクタ 25 に対してテスト信号を入力する。その結果、トランスファ 36 が “ON” の状態になり、パリティデータが直接出力される状態となる。

【0106】

ステップ S 1 2 :

半導体記憶装置から DQ 0 を読み出す。

ステップ S 1 3 :

半導体記憶装置から読み出した DQ 0、即ち、パリティが正常であるか否かを検討する。なお、読み出されたパリティは、入力データ DQ 0～DQ 3 の排他的論理和を演算したものに等しい筈であるから、入力データ DQ 0～DQ 3 の排他的論理和と、読み出したパリティとが等しいか否かを判定し、等しい場合には正常であるとしてステップ S 1 4 に進み、それ以外の場合にはステップ S 1 5 に進む。

【0107】

ステップ S 1 4 :

読み出したパリティが正常である旨を、例えば、図示せぬ表示装置に表示する。

【0108】

ステップ S 1 5 :

読み出したパリティが異常である旨を、例えば、図示せぬ表示装置に表示する。

【0109】

以上の処理によれば、通常の動作モードにて、入力データ DQ 0～DQ 3 を入力してパリティを生成し、テスト信号を供給することにより、パリティセル 11 に格納されているパリティを直接読み出して、検証することが可能になる。

【0110】

次に、第 1 の実施の形態と第 2 の実施の形態を組み合わせた第 3 の実施の形態について説明する。第 1 の実施の形態では、パリティセル 11 からパリティを直

接読み出すことが可能となり、また、第2の実施の形態では、パリティセル11に対して任意のデータを直接書き込むことが可能になる。そこで、これらを組み合わせることにより、パリティセル11に対して任意のデータを書き込んで、直接読み出すことが可能となり、パリティセル11が正常に動作しているか否かをチェックすることが可能になる。

【0111】

図9は、第1の実施の形態と第2の実施の形態を組み合わせた第3の実施の形態におけるチェック処理の流れを説明するフローチャートである。このフローチャートが開始されると、以下のステップが実行される。

【0112】

ステップS20：

半導体記憶装置に対してダイレクト書き込み信号を入力する。その結果、図7に示すトランスファースタック82が“ON”の状態になり、入力データDQ0がパリティセル11に対して直接書き込まれることになる。

【0113】

ステップS21：

半導体記憶装置に対して任意のDQ0を書き込む。ステップS20の処理の結果、ダイレクト書き込み信号によってトランスファースタック82が“ON”の状態になっているので、DQ0はパリティセル11に対して、直接書き込まれることになる。

【0114】

ステップS22：

半導体記憶装置に対してテスト信号を入力する。その結果、図3に示すトランスファースタック36が“ON”の状態になり、パリティがDQ0端子から外部へ直接読み出し可能な状態になる。

【0115】

ステップS23：

半導体記憶装置からDQ0を読み出す。その結果、トランスファースタック36を介してパリティをパリティセル11から直接読み出すことが可能になる。

【0116】

ステップS24：

半導体記憶装置から読み出したパリティと、書き込んだパリティ（DQ0）とが等しいか否かを判定し、等しい場合にはステップS25に進み、それ以外の場合にはステップS26に進む。

【0117】

ステップS25：

読み出したパリティが正常である旨を、例えば、図示せぬ表示装置に表示する。

【0118】

ステップS26：

読み出したパリティが異常である旨を、例えば、図示せぬ表示装置に表示する。

【0119】

以上の処理によれば、パリティセル11に対して直接データを書き込むとともに、パリティを直接読み出して読み書きされたデータが正常であるか否かを検証することが可能になる。

【0120】

次に、第2の実施の形態と第3の実施の形態を組み合わせた第4の実施の形態による検査方法について説明する。第2の実施の形態では、リフレッシュの対象となるセルを選択することができ、また、第3の実施の形態ではパリティセル11に対してデータを直接書き込むことが可能になる。従って、これらを組み合わせるにより、パリティセル11に対して任意のデータを書き込むとともに、任意のセルをリフレッシュの対象として指定することにより、データの復元機能が各セル単位で正常に機能しているか否かをチェックすることが可能になる。

【0121】

図10は、第3の実施の形態と第4の実施の形態を組み合わせた第5の実施の形態におけるチェック処理の流れを説明するフローチャートである。このフローチャートが開始されると、以下のステップが実行される。

【 0 1 2 2 】

ステップ S 3 0 :

半導体記憶装置に対して任意の入力データ D Q 0 ~ D Q 3 を書き込む。

ステップ S 3 1 :

半導体記憶装置に対してダイレクト書き込み信号を入力する。その結果、図 7 に示すトランスファ— 8 2 が “ON” の状態になるので、入力データ D Q 0 がパリティセル 1 1 に対して直接供給される状態になる。

【 0 1 2 3 】

ステップ S 3 2 :

半導体記憶装置に対して任意のデータ D Q 0 を書き込む。その結果、データ D Q 0 は、トランスファ— 8 2 を介してパリティセル 1 1 に対して直接書き込まれることになる。

【 0 1 2 4 】

ステップ S 3 3 :

半導体記憶装置に対して比較停止テスト信号を供給するとともに、パリティチェックテスト信号を入力して任意のセルをリフレッシュの対象として選択する。例えば、D Q 0 セル 1 2 をリフレッシュの対象にするには、先ず、比較停止テスト信号を入力するとともに、パリティチェックテスト信号 D Q 0 信号を供給する。その結果、NAND 素子 5 5 ~ 5 8 からの出力は全て “H” の状態になり、NAND 素子 5 9 からはパリティチェックテスト信号 D Q 0 に応じたリフレッシュ信号が出力される。

【 0 1 2 5 】

ステップ S 3 4 :

半導体記憶装置からステップ S 3 2 においてリフレッシュの対象としたブロックからデータを読み出す。いまの例では、D Q 0 セル 1 2 をリフレッシュの対象として選択したので、D Q 0 が読み出される。

【 0 1 2 6 】

ステップ S 3 5 :

半導体記憶装置から、リフレッシュの対象として選択したブロックのデータを

読み出し、読み出されたデータが正常であるか否かを判定する。即ち、ステップ S 3 0 において入力したデータ D Q 0 ~ D Q 3 およびステップ S 3 2 において書き込んだパリティとの関係に基づいて、読み出したデータが正常であるか否かを判定し、正常である場合にはステップ S 3 6 に進み、それ以外の場合にはステップ S 3 7 に進む。

【0 1 2 7】

ステップ S 3 6 :

読み出したパリティが正常である旨を、例えば、図示せぬ表示装置に表示する。

【0 1 2 8】

ステップ S 3 7 :

読み出したパリティが異常である旨を、例えば、図示せぬ表示装置に表示する。

【0 1 2 9】

ステップ S 3 8 :

全てのブロックに対するチェックが終了したか否かを判定し、終了していないと判定した場合にはステップ S 3 0 に戻って同様の処理を繰り返し、それ以外の場合には処理を終了する。

【0 1 3 0】

以上の処理によれば、パリティを直接パリティセルに書き込むとともに、リフレッシュの対象とするセルを選択するようにしたので、選択したセルに関するデータの復元機能が正常に動作しているか否かを検証することが可能になる。

【0 1 3 1】

なお、以上に示した回路は、ほんの一例であり、本発明がこのような場合のみに限定されるものでないことはいうまでもない。

【0 1 3 2】

【発明の効果】

以上説明したように本発明では、データの読み出し動作と、リフレッシュ動作とを同時に実行可能な半導体記憶装置において、外部からデータの入力を受ける

データ入力手段と、データ入力手段から入力されたデータからパリティを生成するパリティ生成手段と、データ入力手段から入力されたデータと、パリティ生成手段によって生成されたパリティとを記憶する記憶手段と、記憶手段をリフレッシュするリフレッシュ手段と、記憶手段からデータを読み出す読み出し手段と、読み出し手段がデータを読み出す最中にリフレッシュ手段がリフレッシュの対象としているデータを、正常に読み出された他のデータと、対応するパリティとから復元する復元手段と、読み出し手段によって読み出されたデータと、復元手段によって復元されたデータとを出力するデータ出力手段と、記憶手段に記憶されているパリティを直接読み出して出力するパリティ出力手段と、を設けるようにしたので、パリティが正常に生成されているか否かをチェックすることが可能になる。

【0133】

また、データの読み出し動作と、リフレッシュ動作とを同時に実行可能な半導体記憶装置において、外部からデータの入力を受けるデータ入力手段と、データ入力手段から入力されたデータからパリティを生成するパリティ生成手段と、データ入力手段から入力されたデータと、パリティ生成手段によって生成されたパリティとを記憶する記憶手段と、記憶手段をリフレッシュするリフレッシュ手段と、記憶手段からデータを読み出す読み出し手段と、読み出し手段がデータを読み出す最中にリフレッシュ手段がリフレッシュの対象としているデータを、正常に読み出された他のデータと、対応するパリティとから復元する復元手段と、読み出し手段によって読み出されたデータと、復元手段によって復元されたデータとを出力するデータ出力手段と、記憶手段のパリティが記憶される領域に対して外部から供給された所望のデータを直接書き込む書き込み手段と、を設けるようにしたので、パリティを任意に設定してデータの復元機能が正常に動作しているか否かをチェックすることが可能になる。

【0134】

更に、データの読み出し動作と、リフレッシュ動作とを同時に実行可能な半導体記憶装置において、外部からデータの入力を受けるデータ入力手段と、データ入力手段から入力されたデータからパリティを生成するパリティ生成手段と、デ

ータ入力手段から入力されたデータと、パリティ生成手段によって生成されたパリティとを記憶する記憶手段と、記憶手段をリフレッシュするリフレッシュ手段と、記憶手段からデータを読み出す読み出し手段と、読み出し手段がデータを読み出す最中にリフレッシュ手段がリフレッシュの対象としているデータを、正常に読み出された他のデータと、対応するパリティとから復元する復元手段と、読み出し手段によって読み出されたデータと、復元手段によって復元されたデータとを出力するデータ出力手段と、外部からの要求に応じた所定の領域がリフレッシュの対象となるようにリフレッシュ手段を制御する制御手段と、を設けるようにしたので、リフレッシュの対象を適宜選択することにより、目的の対象に対するデータの復元機能が正常に動作しているか否かをチェックすることが可能になる。

【図面の簡単な説明】

【図 1】

本発明の動作原理を説明する原理図である。

【図 2】

本発明の第 1 の実施の形態の構成例を示す図である。

【図 3】

図 2 に示すセレクタの詳細な構成例を示す図である。

【図 4】

本発明の第 2 の実施の形態の構成例を示す図である。

【図 5】

図 4 に示すリフレッシュ信号発生回路の詳細な構成例を示す図である。

【図 6】

本発明の第 3 の実施の形態の構成例を示す図である。

【図 7】

図 6 に示す X O R 回路の詳細な構成例を示す図である。

【図 8】

第 1 の実施の形態を単体で使用した場合のチェック動作の処理の流れを説明するフローチャートである。

【図 9】

第 1 の実施の形態と第 2 の実施の形態を組み合わせた第 3 の実施の形態の動作について説明するフローチャートである。

【図 1 0】

第 3 の実施の形態と第 4 の実施の形態を組み合わせた第 5 の実施の形態の動作について説明するフローチャートである。

【図 1 1】

既出願に係る半導体記憶装置の動作原理を示す図である。

【図 1 2】

既出願に係る半導体記憶装置におけるメモリアレイからのデータの読み出し動作を説明する図である。

【図 1 3】

既出願に係る半導体記憶装置におけるリフレッシュ動作について説明する図である。

【図 1 4】

既出願に係る半導体記憶装置におけるリフレッシュするサブブロックとデータの読み出し対象となるサブブロックとが重複した場合の動作を示す図である。

【図 1 5】

既出願に係る半導体記憶装置の更に詳細な構成例を示す図である。

【図 1 6】

図 1 5 に示すセレクタの詳細な構成例を示す図である。

【符号の説明】

- 1 データ入力手段
- 2 パリティ生成手段
- 3 記憶手段
- 4 リフレッシュ手段
- 5 読み出し手段
- 6 復元手段
- 7 データ出力手段

8 パリティ出力手段

10 XOR回路

11 パリティセル

12～15 DQ0～DQ3セル

16 XOR回路

17 リフレッシュ信号発生回路

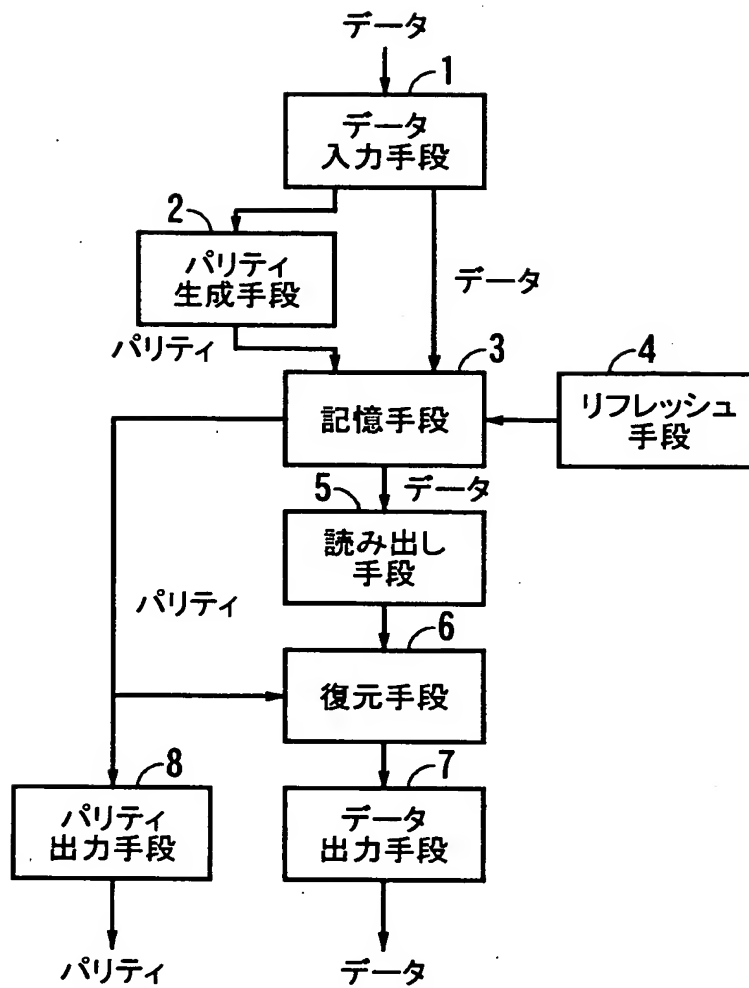
18～21 セレクタ

26 リフレッシュ信号発生回路

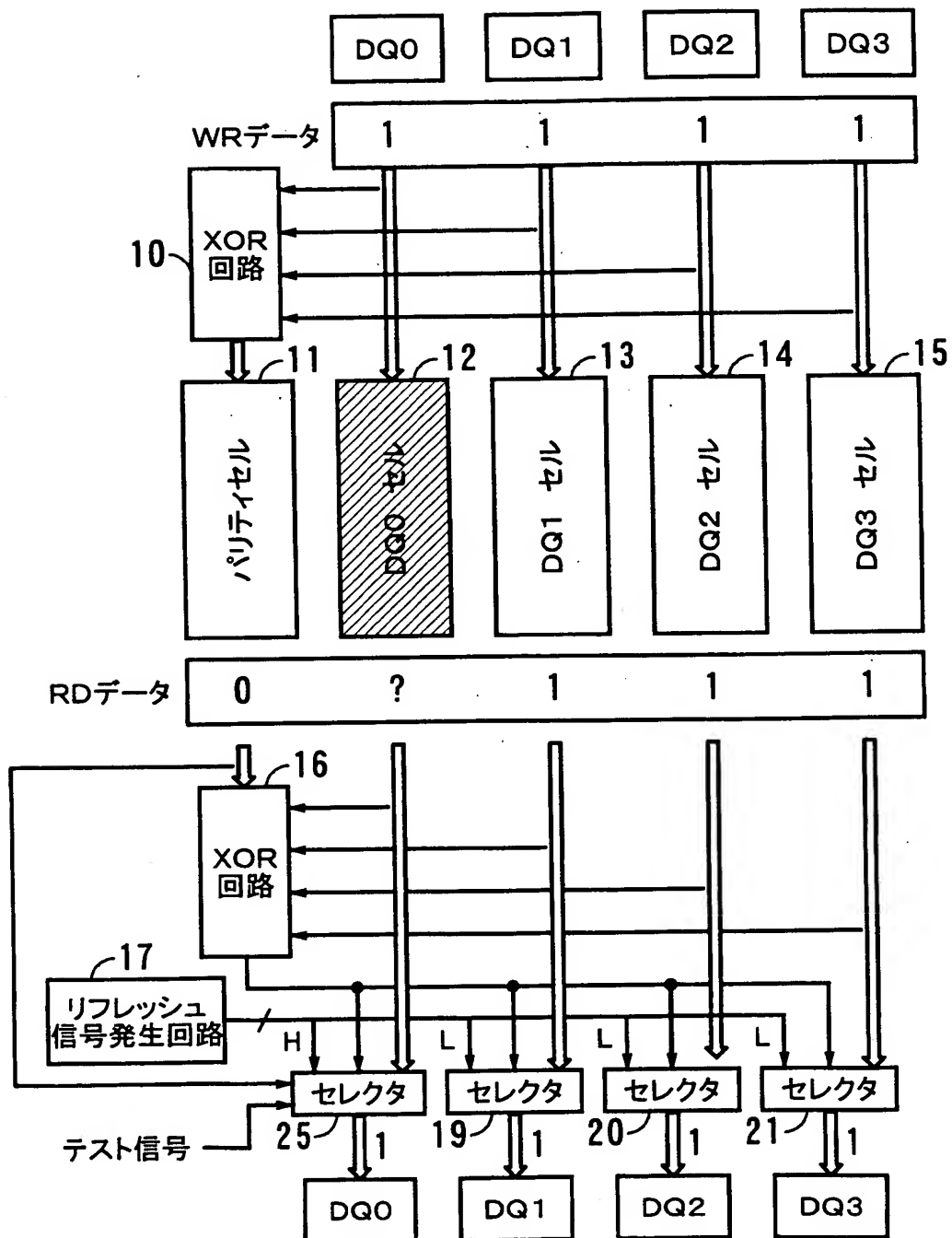
70 XOR回路

【書類名】 図面

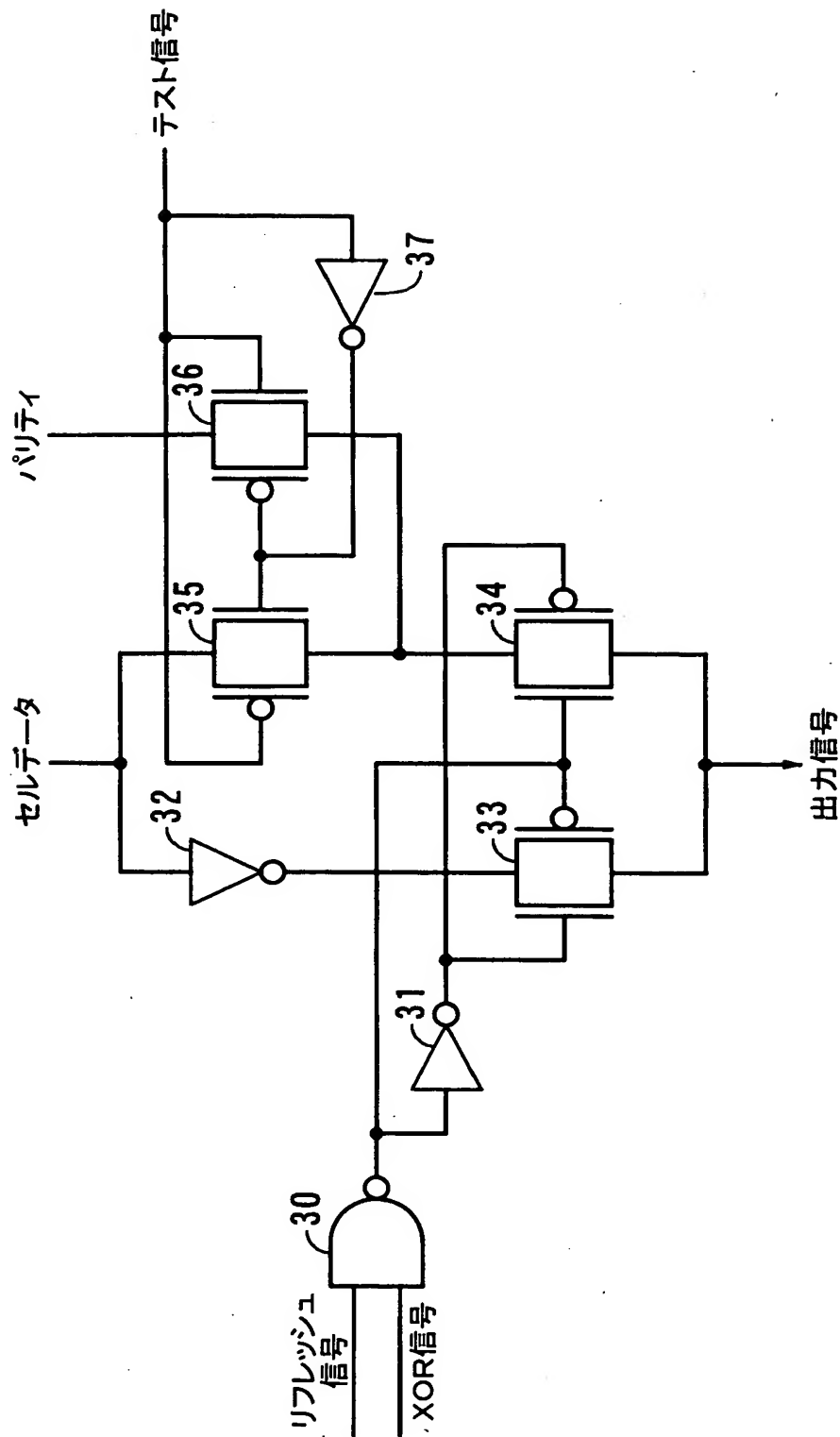
【図 1】



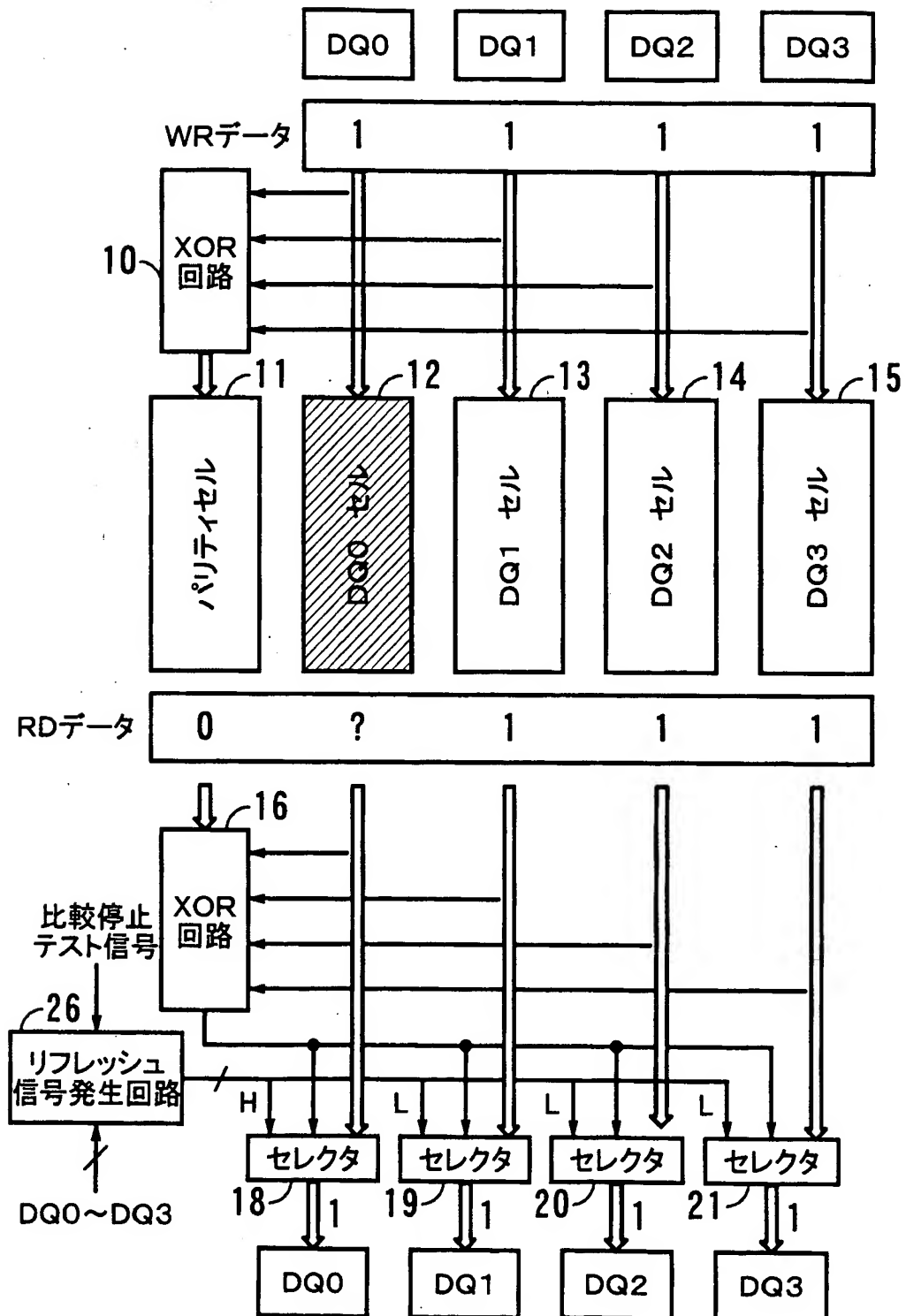
【図 2】



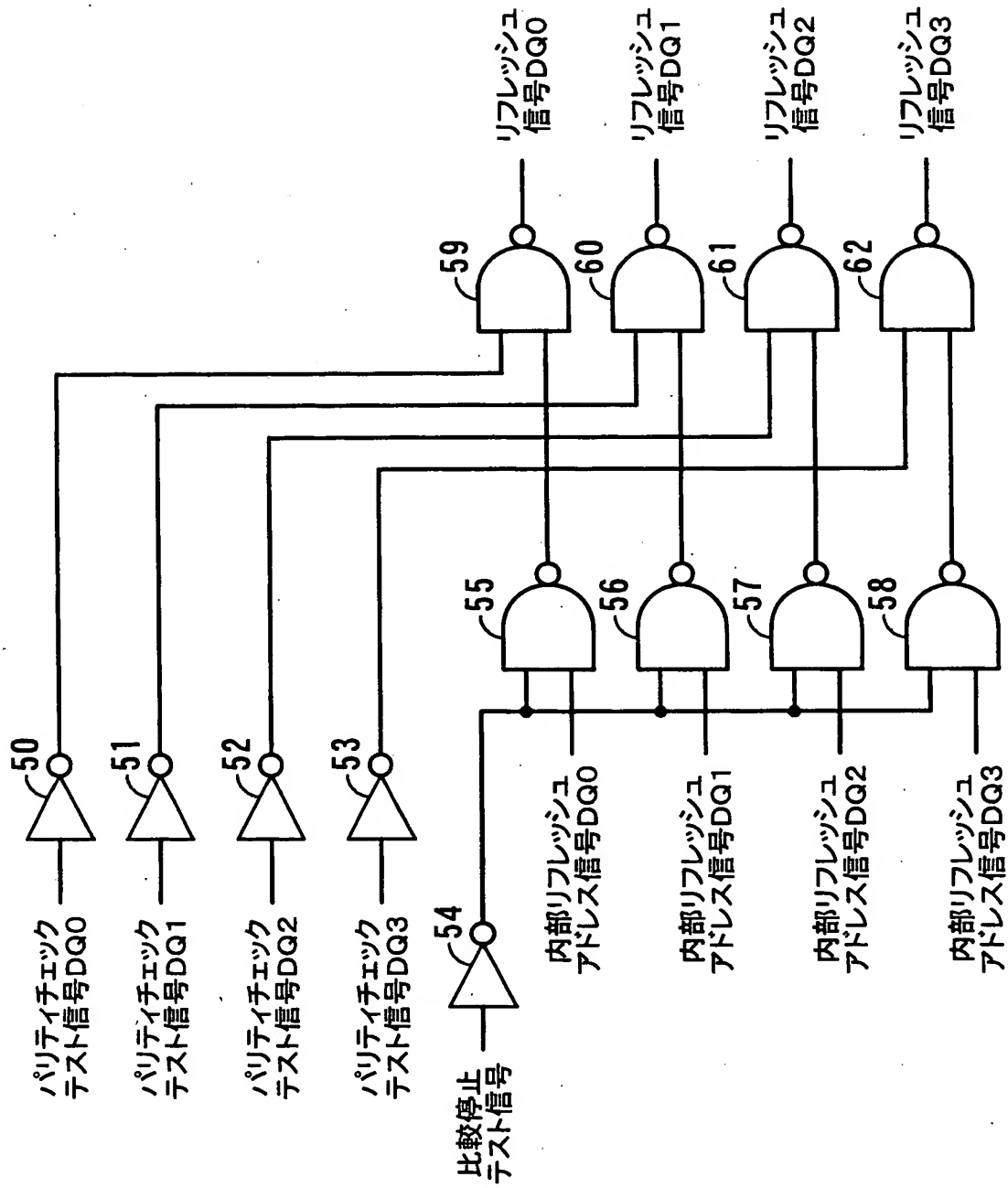
【図 3】



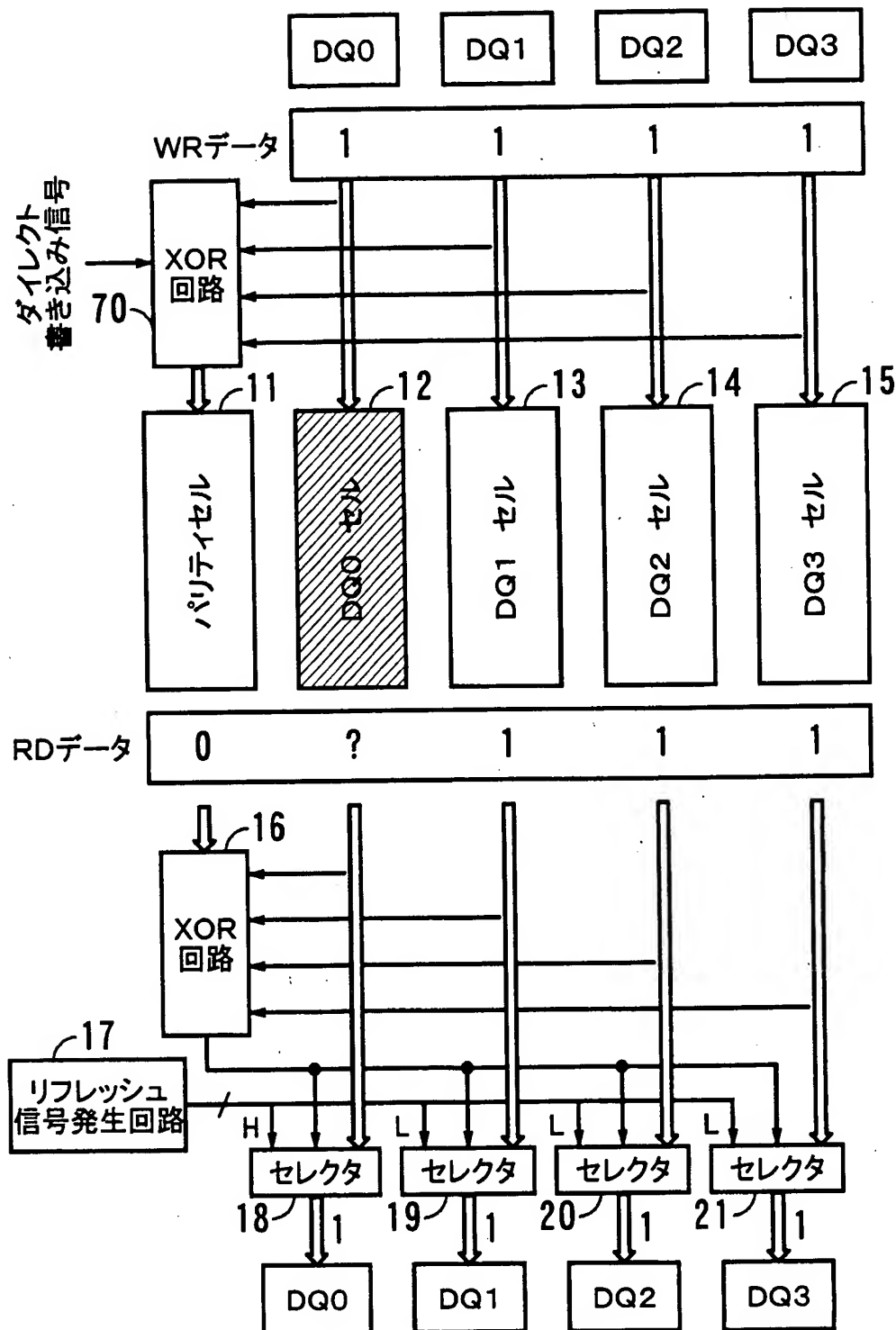
【図4】



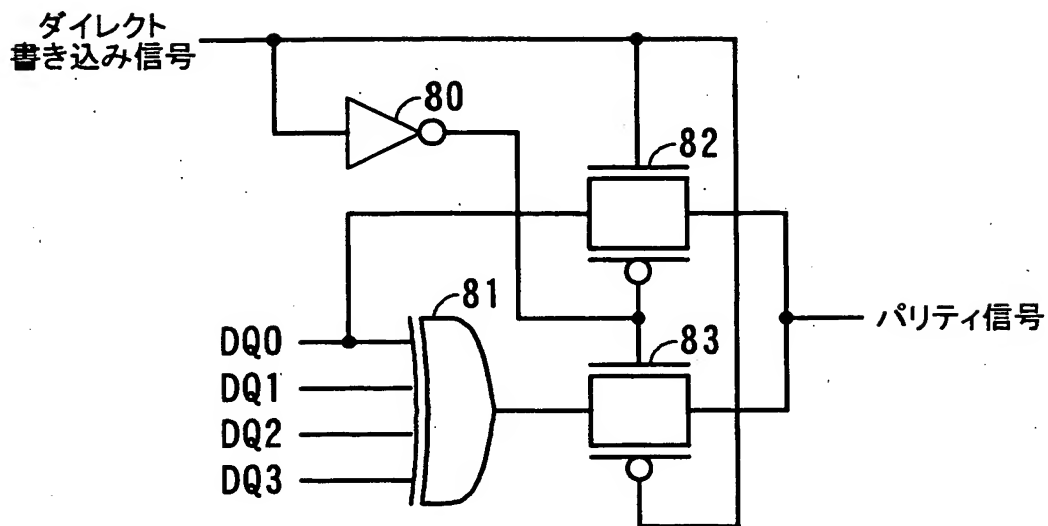
【図 5】



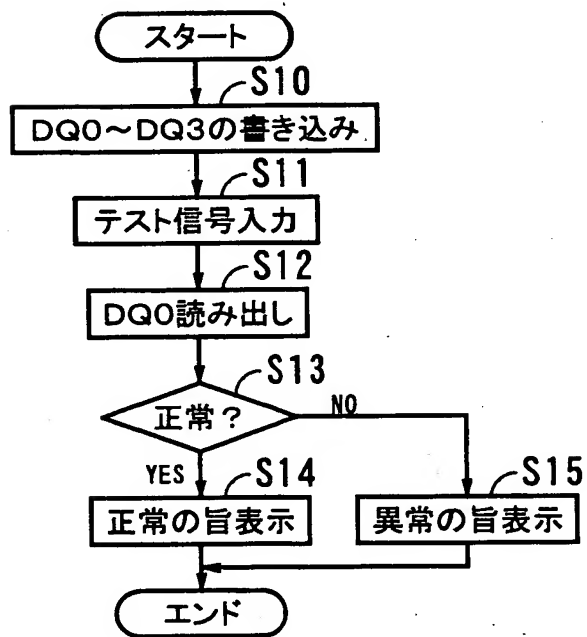
【図 6】



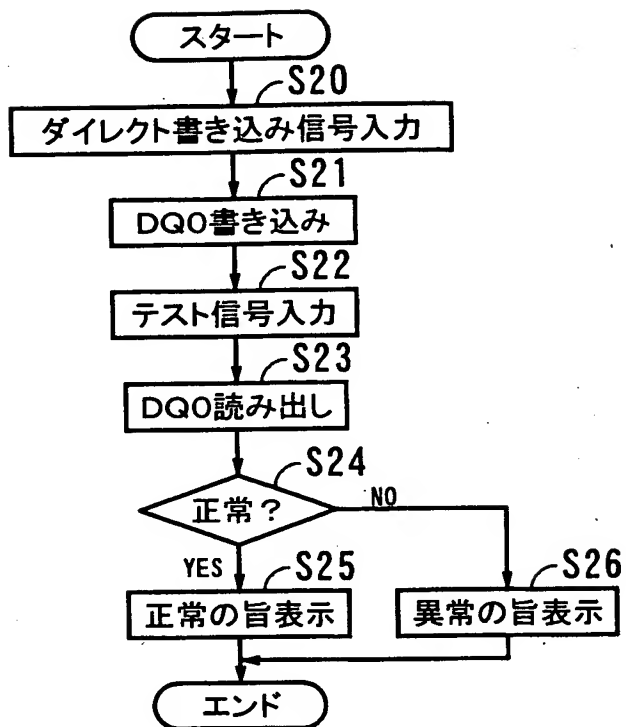
【図7】



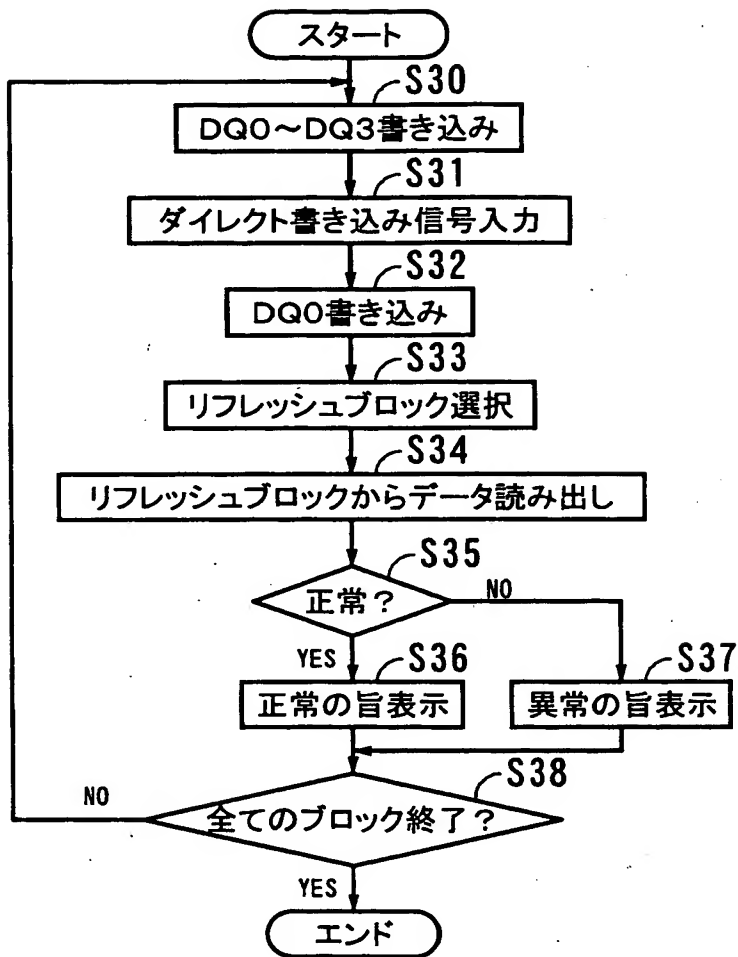
【図8】



【図9】



【図10】



【図 1 1】

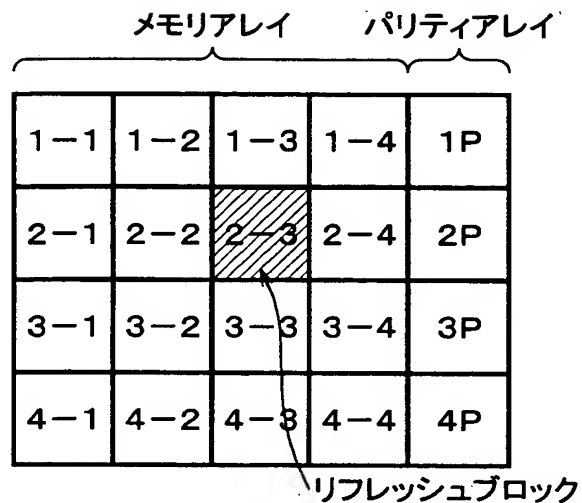
メモリアレイ				パリティアレイ
1-1	1-2	1-3	1-4	1P
2-1	2-2	2-3	2-4	2P
3-1	3-2	3-3	3-4	3P
4-1	4-2	4-3	4-4	4P

【図 1 2】

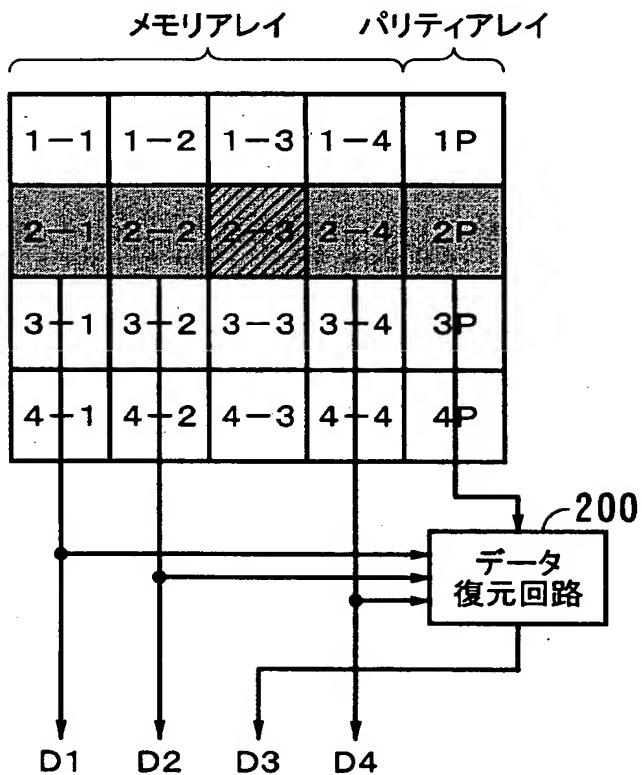
メモリアレイ				パリティアレイ
1-1	1-2	1-3	1-4	1P
2-1	2-2	2-3	2-4	2P
3-1	3-2	3-3	3-4	3P
4-1	4-2	4-3	4-4	4P

↓	↓	↓	↓	
D1	D2	D3	D4	

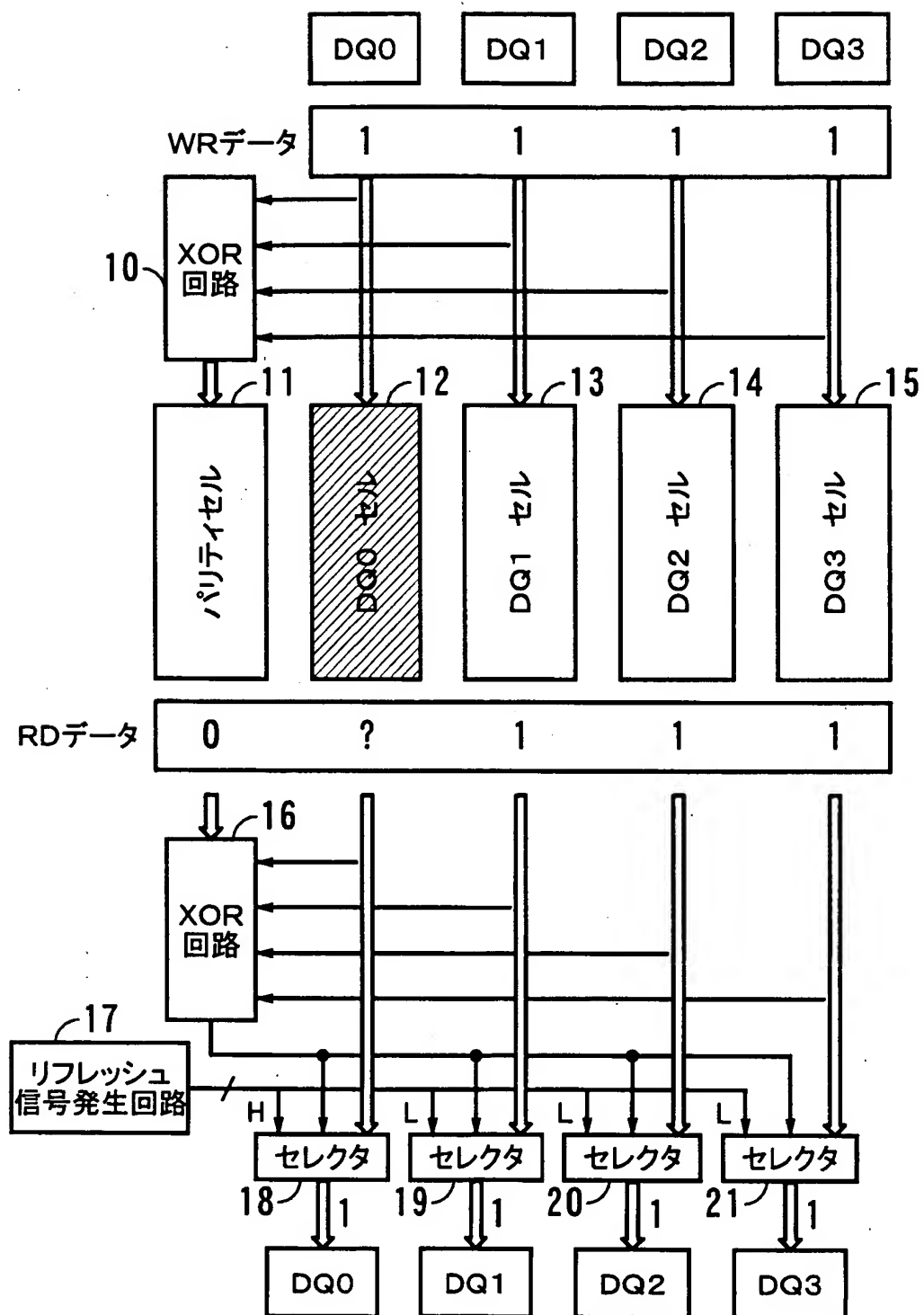
【図13】



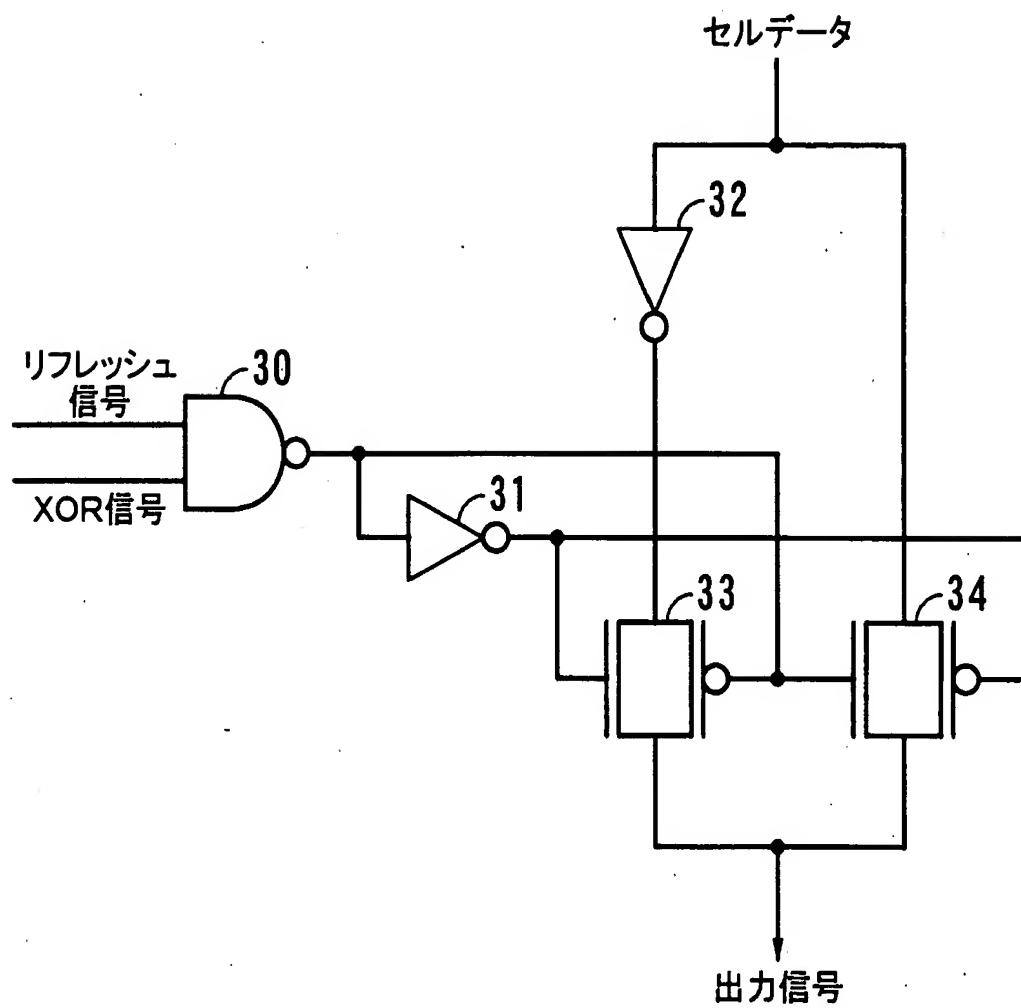
【図14】



【図 15】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 データの読み出し動作と、リフレッシュ動作とを同時に実行可能な半導体記憶装置のデータ復元機能が正常に動作しているか否かをチェックする。

【解決手段】 データ入力手段 1 は、外部からデータの入力を受ける。パリティ生成手段 2 は、データ入力手段 1 から入力されたデータからパリティを生成する。記憶手段 3 は、データ入力手段 1 から入力されたデータと、パリティ生成手段 2 によって生成されたパリティとを記憶する。リフレッシュ手段 4 は、記憶手段 3 をリフレッシュする。読み出し手段 5 は、記憶手段 3 からデータを読み出す。復元手段 6 は、読み出し手段 5 がデータを読み出す最中にリフレッシュ手段 4 がリフレッシュの対象としているデータを、正常に読み出された他のデータと、対応するパリティとから復元する。データ出力手段 7 は、読み出し手段 5 によって読み出されたデータと、復元手段 6 によって復元されたデータとを出力する。パリティ出力手段 8 は、記憶手段 3 に記憶されているパリティを直接読み出して出力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社